

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Shinichiro SHIRATAKE

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: COLUMN SELECT CIRCUIT OF FERROELECTRIC MEMORY

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

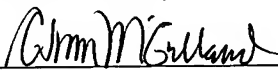
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-114723	April 18, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 8 日
Date of Application:

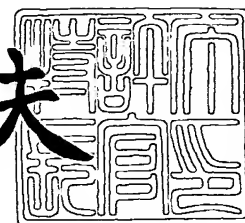
出 願 番 号 特 願 2 0 0 3 - 1 1 4 7 2 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 1 4 7 2 3]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 9 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000300936

【提出日】 平成15年 4月18日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/408
G11C 11/22

【発明の名称】 強誘電体メモリ

【請求項の数】 14

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 白武 慎一郎

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体メモリ

【特許請求の範囲】

【請求項 1】 強誘電体の分極状態に応じてデータを記憶するメモリセルと

、

前記メモリセルに接続された第 1 のビット線と、

前記第 1 のビット線に接続されたセンスアンプと、

データが転送される第 1 のデータ線と、

電流通路が前記第 1 のビット線と前記第 1 のデータ線との間に接続され、カラム選択信号で制御される P チャネル型 MOS トランジスタで形成された第 1 のカラム選択ゲートとを具備し、

前記第 1 のデータ線を 0 V に設定した状態で、前記メモリセルから前記第 1 のビット線にデータを読み出し、前記センスアンプで増幅して保持し、カラム選択信号をロウレベルに設定して、前記第 1 のビット線から前記第 1 のカラム選択ゲートを介して前記第 1 のデータ線に転送する

ことを特徴とする強誘電体メモリ。

【請求項 2】 各々が強誘電体の分極状態に応じてデータを記憶する複数のメモリセルを備えた複数のメモリセルアレイを備え、

前記複数のメモリセルアレイの各々は、

前記複数のメモリセルにそれぞれ接続された複数の第 1 のビット線と、

前記複数の第 1 のビット線にそれぞれ接続された複数のセンスアンプと、

データが転送される第 1 のデータ線と、

電流通路が前記複数の第 1 のビット線と前記第 1 のデータ線との間にそれぞれ接続され、各々がカラム選択信号で制御される複数の P チャネル型 MOS トランジスタで形成されたカラム選択回路とを具備し、

前記第 1 のデータ線を 0 V に設定した状態で、前記複数のメモリセルから前記複数の第 1 のビット線にそれぞれデータを読み出し、カラム選択信号をロウレベルに設定して前記複数の P チャネル型 MOS トランジスタのゲートにそれぞれ供給し、前記複数のセンスアンプでそれぞれ増幅して保持した電位を、前記複数の

第1のビット線から前記カラム選択回路を介して選択的に前記第1のデータ線に転送する

ことを特徴とする強誘電体メモリ。

【請求項3】 前記カラム選択信号は、異なる前記メモリセルアレイ中に設けられたカラム選択回路中の前記複数のPチャネル型MOSトランジスタのゲートに供給されることを特徴とする請求項2に記載の強誘電体メモリ。

【請求項4】 前記センスアンプに接続され、前記メモリセルからのデータの読み出し時に、参照電位に設定される第2のビット線を更に具備し、前記センスアンプは、前記第1、第2のビット線間の電位差を増幅して保持することを特徴とする請求項1乃至3いずれか1つの項に記載の強誘電体メモリ。

【請求項5】 前記参照電位は、前記第1のビット線に“1”データが読み出された場合と“0”データが読み出された場合の中間の電位であることを特徴とする請求項4に記載の強誘電体メモリ。

【請求項6】 前記第1のデータ線に対して互いに相補的なデータが転送される第2のデータ線と、電流通路が前記第2のビット線と前記第2のデータ線との間に接続され、前記カラム選択信号で制御されるPチャネル型MOSトランジスタで形成された第2のカラム選択ゲートとを更に具備することを特徴とする請求項4または5に記載の強誘電体メモリ。

【請求項7】 電流通路が前記第1のデータ線と接地点間に接続され、データ線プリチャージ信号でオン／オフ制御されるNチャネル型の第1のMOSトランジスタと、電流通路が前記第2のデータ線と接地点間に接続され、前記データ線プリチャージ信号でオン／オフ制御されるNチャネル型の第2のMOSトランジスタとを更に具備することを特徴とする請求項6に記載の強誘電体メモリ。

【請求項8】 前記第1、第2のデータ線に接続されるI/O回路を更に具備することを特徴とする請求項6または7に記載の強誘電体メモリ。

【請求項9】 前記メモリセルは、1つの強誘電体キャパシタと1つのセルトランジスタで構成されることを特徴とする請求項1乃至8いずれか1つの項に記載の強誘電体メモリ。

【請求項10】 前記第1のビット線と交差する方向に配置されるワード線

と、前記第1のビット線と交差する方向に配置されるプレート線とを更に具備し、

前記セルトランジスタの電流通路の一端は前記第1のビット線に接続され、他端は前記強誘電体キャパシタの一方の電極に接続され、ゲートは前記ワード線に接続され、

前記強誘電体キャパシタの他方の電極は、前記プレート線に接続されることを特徴とする請求項9に記載の強誘電体メモリ。

【請求項11】 前記第2のビット線に接続され、参照電位を生成するダミーセルを更に具備することを特徴とする請求項10に記載の強誘電体メモリ。

【請求項12】 前記第1のビット線と交差する方向に配置されるダミーワード線を更に具備し、

前記ダミーセルは、電流通路の一端が前記第2のビット線に接続され、他端が基準電圧源に接続され、ゲートが前記ダミーワード線に接続されたNチャネル型の第3のMOSトランジスタを含むことを特徴とする請求項11に記載の強誘電体メモリ。

【請求項13】 前記メモリセルは、第1, 第2の強誘電体キャパシタと第1, 第2のセルトランジスタで構成され、前記2つの強誘電体キャパシタには相補的にデータが記憶されることを特徴とする請求項4、6乃至8いずれか1つの項に記載の強誘電体メモリ。

【請求項14】 前記第1, 第2のビット線と交差する方向に配置されるワード線と、前記第1, 第2のビット線と交差する方向に配置されるプレート線とを更に具備し、

前記第1のセルトランジスタの電流通路の一端は前記第1のビット線に接続され、他端は前記第1の強誘電体キャパシタの一方の電極に接続され、ゲートは前記ワード線に接続され、

前記第2のセルトランジスタの電流通路の一端は前記第2のビット線に接続され、他端は前記第2の強誘電体キャパシタの一方の電極に接続され、ゲートは前記ワード線に共通接続され、

前記第1, 第2の強誘電体キャパシタの他方の電極は、前記プレート線に共通

接続されることを特徴とする請求項 1 3 に記載の強誘電体メモリ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、強誘電体の分極状態に応じてデータを記憶する強誘電体メモリに関するもので、特にセンスアンプからデータ線にデータを選択的に転送するコラム選択回路に係る。

【0 0 0 2】

【従来の技術】

強誘電体メモリの読み出しアクセスは、D R A M と同様にメモリセルからビット線にデータを転送し、それをセンスアンプで増幅することによって行われる。図 7 は、このような強誘電体メモリの読み出し動作に関係する要部を抽出して示す回路図である。ビット線対 B L , / B L には、セルトランジスタ C T と強誘電体キャパシタ F C とを有するメモリセル M C と、トランジスタ D C T からなるダミーセル D M C とが接続されている。上記セルトランジスタ C T とトランジスタ D C T は、N チャネル型の M O S トランジスタ（N M O S トランジスタ）である。上記セルトランジスタ C T の電流通路の一端はビット線 B L に接続され、その他端は上記強誘電体キャパシタ F C の一方の電極に接続され、ゲートはワード線 W L に接続される。上記強誘電体キャパシタ F C の他方の電極は、プレート線 P L に接続されている。上記トランジスタ D C T の電流通路の一端はビット線 / B L に接続され、その他端は基準電圧源 V R E F に接続され、ゲートはダミーワード線 D W L に接続される。

【0 0 0 3】

また、上記ビット線対 B L , / B L と接地点 V S S 間にはそれぞれ、ビット線プリチャージ用の N M O S トランジスタ Q 1 , Q 2 の電流通路が接続されている。これら N M O S トランジスタ Q 1 , Q 2 のゲートには、ビット線プリチャージ信号 B L P R E が供給される。

【0 0 0 4】

更に、上記ビット線対 B L , / B L 間には、上記メモリセル M C のデータを増

幅して保持するセンスアンプSAが設けられている。このセンスアンプSAはNMOSトランジスタQ3～Q5とPチャネル型MOSトランジスタ（PMOSトランジスタ）Q6～Q8で構成されており、センスアンプイネーブル信号SEN、／SEPで動作が制御される。上記NMOSトランジスタQ3、Q4の電流通路は、上記ビット線対BL、／BL間に直列接続される。これらNMOSトランジスタQ3、Q4の電流通路の接続点と接地点VSS間には、NMOSトランジスタQ5の電流通路が接続される。このNMOSトランジスタQ5のゲートには、センスアンプイネーブル信号SENが供給されてオン／オフ制御される。また、上記PMOSトランジスタQ6、Q7の電流通路は、上記ビット線対BL、／BL間に直列接続される。これらNMOSトランジスタQ6、Q7の電流通路の接続点と電源VDD間には、PMOSトランジスタQ8の電流通路が接続される。このNMOSトランジスタQ8のゲートには、センスアンプイネーブル信号／SEPが供給されてオン／オフ制御される。上記NMOSトランジスタQ3、Q4のゲートは、PMOSトランジスタQ6、Q7の電流通路の接続点に接続される。上記PMOSトランジスタQ6、Q7のゲートは、NMOSトランジスタQ3、Q4の電流通路の接続点に接続される。

【0005】

上記ビット線BLとデータ線DQとの間にはNMOSトランジスタQ9の電流通路が接続され、上記ビット線／BLとデータ線／DQとの間にはNMOSトランジスタQ10の電流通路が接続される。これらNMOSトランジスタQ9、Q10は、カラム選択ゲートとして働くもので、ゲートにはカラム選択信号CSが供給される。

【0006】

上記データ線対DQ、／DQ間には、PMOSトランジスタQ11、Q12の電流通路が直列接続されている。これらPMOSトランジスタQ11、Q12の電流通路の接続点には電源VDDが接続され、ゲートにはデータ線プリチャージ信号／DQPREが供給される。

【0007】

そして、上記データ線対DQ、／DQに接続されたI／O回路IOCによって

メモリセルMCから読み出したデータの出力、またはメモリセルMCへ書き込むデータの入力を行うようになっている。

【0 0 0 8】

なお、破線で示したキャパシタC 1, C 2は、上記データ線対DQ, /DQの寄生容量である。

【0 0 0 9】

図8は、上記図7に示した回路部の動作波形を示すタイミングチャートである。まず、ビット線プリチャージ信号BLPREをハイレベル（“H”レベル）にしてNMOSトランジスタQ1, Q2をオンさせることにより、ビット線対BL, /BLをロウレベル（“L”レベル）の状態に設定する（タイミングtA）。ここでは、ビット線対BL, /BLを“L”レベルに設定する動作を、便宜上プリチャージと称する。

【0 0 1 0】

次に、ワード線WLとプレート線PLを“L”レベルから“H”レベルに立ち上げて（タイミングtB）、強誘電体キャパシタ（メモリセルキャパシタ）FCに電圧を印加することにより、メモリセルキャパシタFC中の強誘電体膜の分極状態に応じたデータをビット線BLに転送する。メモリセルキャパシタFCに“1”データが記憶されている場合には、上記読み出し動作によってPL=VAA, BL=0Vとなった際に分極反転が起こって電荷がビット線BLに転送される。これに対し、“0”データが記憶されている場合は、分極反転が起こらないため電荷はビット線BLには転送されない。

【0 0 1 1】

上記メモリセルMCからの読み出し動作と同時に、ダミーワード線DWLが“H”レベルとなって基準電圧源VREFの参照電位が、上記ビット線BLと相補の関係にあるビット線（参照ビット線）/BLに印加される。これによって、ビット線/BLの電位は、“1”データが読み出された場合と“0”データが読み出された場合の中間の電位に設定される。

【0 0 1 2】

そして、センスアンプイネーブル信号SENが“H”レベル、/SEPが“L

”レベルとなってセンスアンプSAが活性化されると（タイミングtC）、ビット線BLと参照ビット線／BLの電位差が増幅されて保持される。この結果、メモリセルMCから“1”データが読み出された場合は、ビット線BLの電位がVAA、参照ビット線／BLの電位が0Vになる。一方、“0”データが読み出された場合は、ビット線BLの電位が0V、参照ビット線／BLの電位がVAAになる。

【0013】

ビット線BL上に“0”データが読み出された場合は、ビット線BLの電位が0V、プレート線PLの電位がVAAなので、メモリセルキャパシタFCに-VAAの電圧が与えられ、“0”のデータがメモリセルキャパシタFCに再書き込みされる（タイミングtD）。一方、ビット線BL上に“1”データが読み出された場合は、後にプレート線PLの電位が0Vとなると、PL=0V、BL=VAAとなってメモリセルキャパシタFCに+VAAの電圧が与えられ、“1”のデータが再書き込みされる（タイミングtF）。

【0014】

センスアンプSAによって増幅され保持されていたデータは、カラム選択信号CSが活性化した時点（タイミングtE）で、NMOSトランジスタQ9、Q10がオンすることにより、データ線対DQ、／DQに転送される。そして、これらデータ線対DQ、／DQの電位に応じたデータがI/O回路IOCから出力される。

【0015】

上記のようにカラム選択ゲートをNMOSトランジスタQ9、Q10のみで構成し、データ線対DQ、／DQが“H”レベルにプリチャージされた場合、通常はデータ線DQと／DQの両方が電源（電位VAA）に接続されていても（寄生容量無限大と同義）、センスアンプSAにラッチされたデータが破壊されることはない。これはNMOSトランジスタQ9、Q10のしきい値電圧が有限の大きさを持つためであり、データ線対DQ、／DQの電位VAAによってセンスアンプSAでラッチされている“0”データを完全にVAAレベルまで引き上げることができないためである。すなわち、データ線DQまたは／DQとビット線BL

または参照ビット線／BLが電位VAA付近のレベルにある場合には、それらが完全には導通しない特性を利用してデータの破壊を防ぐ構成になっている。

【0016】

ところが、“H”レベルにプリチャージされたデータ線DQがNMOSトランジスタQ9からなるカラム選択ゲートを介してビット線BLに接続されるため、センスアンプSAで増幅されたビット線対BL，／BLの電位のうち“L”レベル側、すなわち0Vとなっている側の電位が ΔV だけ高くなってしまう。

【0017】

このとき、図9に示すように、メモリセルキャパシタFCに印加される電圧は、プレート線PLの電位がVAA、ビット線BLの電位がVSS (0V) + ΔV であるので、 $-(VAA - \Delta V)$ となり、理想的な“0”データの書き込み電圧である $-VAA$ よりも小さくなってしまう。

【0018】

メモリセルMCに理想的な書き込み電圧 $-VAA$ を与えるためには、カラム選択信号CSが非活性となってビット線BLの電位が再び0Vに戻ってからプレート線PLの電位を0Vにすることが考えられる。ところが、ビット線BLの電位が ΔV から0Vに戻るまでの時間が強誘電体メモリのサイクル時間に加算されることになるため性能が悪くなってしまう。

【0019】

上述したような問題を回避するために、カラム選択ゲートをCMOS型のトランスファゲート、すなわちNMOSトランジスタとPMOSトランジスタの電流通路を並列接続して設けることが提案されている（例えば特許文献1参照）。

【0020】

この構成は、カラム選択ゲートの電流駆動能力が高くなるため、センスアンプSAでラッチされたデータをデータ線対DQ，／DQに転送する速度が高く、高速メモリの用途に適している。

【0021】

ところがその反面、素子数や制御信号線の数が多くなるためレイアウト面積及び制御回路の消費電力が大きくなる。また、PMOSトランジスタとNMOSト

ランジスタが組み合わさっているため、ビット線対BL，／BLとデータ線対DQ，／DQのいかなる電位の組み合わせにおいてもそれらが常に導通してしまい、不感帯が存在しないため動作が不安定になる。このため、データ線対DQ，／DQの寄生容量C1，C2がビット線対BL，／BLの容量よりも充分小さくなければ、データ線対DQ，／DQの初期電位によってビット線対BL，／BLにラッチされているデータが破壊されてしまう可能性がある。従って、データ線対DQ，／DQを多くのセンスアンプSAによって共有することができず、レイアウト面積の増大を招き、大容量メモリに適用することが困難である。

【0022】

【特許文献1】

特開平8-273372号公報

【0023】

【発明が解決しようとする課題】

上記のように従来の強誘電体メモリは、メモリセルから読み出されたデータを再書き込みする際にデータが劣化し、データの読み出しマージンを確保できない、という問題があった。

【0024】

また、この問題を解決しようとする、素子数や制御信号線の数が多くなるためレイアウト面積が増大し、制御回路の消費電力も大きくなる、という問題があった。

【0025】

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、サイクル時間の長時間化やレイアウト面積の増大を招くことなく、メモリセルから読み出されたデータを再書き込みする際のデータの劣化を防ぐことができ、データの読み出しマージンを確保できる強誘電体メモリを提供することにある。

【0026】

【課題を解決するための手段】

この発明の一態様によると、強誘電体の分極状態に応じてデータを記憶するメ

メモリセルと、前記メモリセルに接続された第1のビット線と、前記第1のビット線に接続されたセンスアンプと、データが転送される第1のデータ線と、電流通路が前記第1のビット線と前記第1のデータ線との間に接続され、カラム選択信号で制御されるPチャネル型MOSトランジスタで形成された第1のカラム選択ゲートとを具備し、前記第1のデータ線を0Vに設定した状態で、前記メモリセルから前記第1のビット線にデータを読み出し、前記センスアンプで増幅して保持し、カラム選択信号をロウレベルに設定して、前記第1のビット線から前記第1のカラム選択ゲートを介して前記第1のデータ線に転送する強誘電体メモリが提供される。

【0027】

上記のような構成によれば、第1のカラム選択ゲートをPチャネル型MOSトランジスタのみで形成するので、第1のビット線と第1のデータ線がそれぞれ0V(VSS)付近の電位にあるときにPチャネル型MOSトランジスタが導通しない特性を利用して、第1のビット線から第1のデータ線にデータを転送する際のデータの破壊を防ぐことができる。また、第1のカラム選択ゲートをPチャネル型MOSトランジスタとNチャネル型MOSトランジスタを組み合わせる場合に比べて、素子数や制御信号線の数低減できるので、レイアウト面積を小さくでき、制御回路の消費電力の増大も抑制できる。

【0028】

従って、サイクル時間の長時間化やレイアウト面積の増大を招くことなく、メモリセルから読み出されたデータを再書き込みする際のデータの劣化を防ぐことができ、データの読み出しマージンを確保できる。

【0029】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

〔第1の実施の形態〕

図1は、この発明の第1の実施の形態に係る強誘電体メモリについて説明するためのもので、強誘電体メモリの読み出し動作に関係する要部を抽出して示す回路図である。

【0030】

ビット線対BL, /BLには、セルトランジスタCTと強誘電体キャパシタFCとを有するメモリセルMCと、Nチャネル型MOSトランジスタDCTからなるダミーセルDMCとが接続されている。上記セルトランジスタCTとトランジスタDCTは、NMOSトランジスタである。上記セルトランジスタCTの電流通路の一端はビット線BLに接続され、その他端は上記強誘電体キャパシタFCの一方の電極に接続され、ゲートはワード線WLに接続される。上記強誘電体キャパシタFCの他方の電極は、プレート線PLに接続される。上記トランジスタDCTの電流通路の一端は参照ビット線/BLに接続され、その他端は基準電圧源VREFに接続され、ゲートはダミーワード線DWLに接続されている。

【0031】

上記ビット線対BL, /BLと接地点VSS間にはそれぞれ、ビット線プリチャージ用のNMOSトランジスタQ1, Q2の電流通路が接続されている。これらNMOSトランジスタQ1, Q2のゲートには、ビット線プリチャージ信号BLPREが供給される。

【0032】

また、上記ビット線対BL, /BL間には、上記メモリセルMCのデータを増幅して保持するセンスアンプSAが設けられている。このセンスアンプSAはNMOSトランジスタQ3~Q5とPMOSトランジスタQ6~Q8とで構成されており、センスアンプイネーブル信号SEN, /SEPで動作が制御される。上記NMOSトランジスタQ3, Q4の電流通路は、上記ビット線対BL, /BL間に直列接続される。これらNMOSトランジスタQ3, Q4の電流通路の接続点と接地点VSS間には、NMOSトランジスタQ5の電流通路が接続される。このNMOSトランジスタQ5のゲートには、センスアンプイネーブル信号SENが供給されてオン/オフ制御される。また、上記PMOSトランジスタQ6, Q7の電流通路は、上記ビット線対BL, /BL間に直列接続される。これらNMOSトランジスタQ6, Q7の電流通路の接続点と接地点VSS間には、PMOSトランジスタQ8の電流通路が接続される。このNMOSトランジスタQ8のゲートには、センスアンプイネーブル信号/SEPが供給されてオン/オフ制

御される。上記NMOSトランジスタQ3, Q4のゲートは、PMOSトランジスタQ6, Q7の電流通路の接続点に接続される。上記PMOSトランジスタQ6, Q7のゲートは、NMOSトランジスタQ3, Q4の電流通路の接続点に接続される。

【0033】

上記ビット線BLとデータ線DQとの間には、PMOSトランジスタQ13の電流通路が接続され、上記参照ビット線／BLとデータ線／DQとの間にはPMOSトランジスタQ14の電流通路が接続される。これらPMOSトランジスタQ13, Q14のゲートには、カラム選択信号（センスアンプSAに保持されたデータを選択的にデータ線対DQ, ／DQに転送するための活性化信号）／CSが供給される。

【0034】

更に、上記データ線対DQ, ／DQ間には、NMOSトランジスタQ15, Q16の電流通路が直列接続される。これらNMOSトランジスタQ15, Q16の電流通路の接続点には接地点VSSが接続され、ゲートにはデータ線プリチャージ信号DQPREが供給される。これらデータ線対DQ, ／DQには、破線で示すような寄生容量（キャパシタC1, C2で等価的に表す）が付随している。

【0035】

また、上記データ線対DQ, ／DQには、I／O回路IOCが接続されており、このI／O回路IOCによってメモリセルMCから読み出したデータの出力、またはメモリセルMCへ書き込むデータの入力を行うようになっている。

【0036】

図1から明らかなように、本実施の形態においては、従来、NMOSトランジスタQ9, Q10で構成していたカラム選択ゲート（CSLゲート）を、PMOSトランジスタQ13, Q14で構成している。また、従来はPMOSトランジスタQ11, Q12で構成していたデータ線対DQ, ／DQのプリチャージ用トランジスタをNMOSトランジスタQ15, Q16で構成している。そして、上記カラム選択ゲートとしてのPMOSトランジスタQ13, Q14のゲートにカラム選択信号／CS（信号CSと逆相の信号）を供給してオン／オフ制御し、上

記データ線対プリチャージ用のNMOSトランジスタQ15, Q16のゲートにデータ線プリチャージ信号DQPRE（信号/DQPREと逆相の信号）を供給してオン/オフ制御するようになっている。

【0037】

次に、上記のような構成において動作を説明する。図2は、本実施の形態の動作波形を示すタイミングチャートである。メモリセルMCの記憶データをビット線BL上に読み出す動作は、図7に示した回路と同様である。すなわち、まず、ビット線プリチャージ信号BLPREを“H”レベルにしてNMOSトランジスタQ1, Q2をオンさせることにより、ビット線対BL, /BLを“L”レベルの状態に設定する（タイミングtA）。次に、ワード線WL、プレート線PL及びダミーワード線DWLを“L”レベルから“H”レベルに立ち上げて（タイミングtB）強誘電体キャパシタ（メモリセルキャパシタ）FCに電圧を印加する。これによって、メモリセルキャパシタFCの分極状態に応じたデータがビット線BLに転送される。メモリセルキャパシタFCに“1”データが記憶されている場合には、上記読み出し動作によってPL=VAA, BL=0Vとなった際に分極反転が起こって電荷がビット線BLに転送される。これに対し、“0”データが記憶されている場合は、分極反転が起こらないため電荷はビット線BLには転送されない。

【0038】

上記ダミーワード線DWLの“H”レベルによって、上記メモリセルMCからの読み出し動作と同時に、基準電圧源VREFの参照電位が上記ビット線BLと相補の関係にある参照ビット線/BLに印加される。これによって、参照ビット線/BLの電位は、参照電位、すなわちビット線BLに“1”データが読み出された場合と“0”データが読み出された場合の中間の電位に設定される。

【0039】

そして、センスアンプイネーブル信号SENが“H”レベル、/SEPが“L”レベルとなってセンスアンプSAが活性化されると（タイミングtC）、ビット線BLと参照ビット線/BLの電位差が増幅される。この結果、メモリセルMCから“1”データが読み出された場合は、ビット線BLの電位がVAA、参照

ビット線／B L の電位が 0 V になる。一方、“0” データが読み出された場合は、ビット線 B L の電位が 0 V、参照ビット線／B L の電位が V A A になる。

【0 0 4 0】

ビット線 B L 上に“0” データが読み出された場合は、ビット線 B L の電位が 0 V、プレート線 P L の電位が V A A なので、メモリセルキャパシタ F C に $-V A A$ の電圧が与えられ、“0” のデータがメモリセルキャパシタ F C に再書き込みされる（タイミング t D）。一方、ビット線 B L 上に“1” データが読み出された場合は、後にプレート線 P L の電位が 0 V となると、 $P L = 0 V$ 、 $B L = V A A$ となってメモリセルキャパシタ F C に $+V A A$ の電圧が与えられ、“1” のデータが再書き込みされる（タイミング t F）。

【0 0 4 1】

センスアンプ S A によって増幅され保持されているデータは、カラム選択信号／C S が活性化した時点（タイミング t E）で、カラム選択ゲートとしての P M O S トランジスタ Q 1 3、Q 1 4 がオンすることにより、データ線対 D Q、／D Q に転送される。

【0 0 4 2】

データ線対 D Q、／D Q は、データ線プリチャージ信号 D Q P R E の“L” レベルによって 0 V に設定される。カラム選択信号／C S は通常“H” レベルになっており、活性化した際に“L” レベルとなる。カラム選択信号が活性化すると、P M O S トランジスタ Q 1 3、Q 1 4 を介してビット線対 B L、／B L とデータ線対 D Q、／D Q が接続される。データ線対 D Q、／D Q は 0 V に設定されているため、ビット線対 B L、／B L の電位のうち“H” レベル側の電位が V A A から ΔV だけ引き下げられて $V A A - \Delta V$ となる。一方、P M O S トランジスタ Q 1 3、Q 1 4 のしきい値電圧は 0 V よりも大きいため、“L” レベル側のビット線の電位は 0 V のままとなる。

【0 0 4 3】

従って、本実施の形態においては、図 3（a）に示すように、データ読み出し後のメモリセルキャパシタ F C への“0” データの再書き込みは、カラム選択ゲート Q 1 3、Q 1 4 の活性化にかかわらずビット線 B L の電位が 0 V、プレート

線 PL の電位が VAA となり、メモリセルキャパシタ FC に理想的な -VAA の電圧が与えられる。

【0044】

一方、データ読み出し後の“1”データの再書き込みは、図3（b）に示すように従来と同様であり、プレート線 PL の電位が 0 V になってから行われる。このときには、カラム選択ゲート Q13, Q14 は活性化しないため、“1”データの書き込みによってメモリセルキャパシタに与えられる電圧は理想的な +VAA となり、カラム選択ゲート Q13, Q14 の活性化などによる信号量の減少はない。

【0045】

上述したように、カラム選択ゲートを PMOS トランジスタのみで形成してデータ線対 DQ, /DQ を“L”（VSS）レベルにプリチャージ（初期設定）する構成では、PMOS トランジスタのしきい値電圧が有限であればセンスアンプ SA にラッチされたデータが破壊されることはない。すなわち、図1に示した回路構成の場合には、PMOS トランジスタ Q13, Q14 のしきい値電圧によってデータ線対 DQ, /DQ とビット線対 BL, /BL がそれぞれ 0 V（VSS）付近の電位にある場合には、これらのトランジスタが導通しない特性を利用、換言すれば不感帯を生成してデータの破壊を防ぐことができる。

【0046】

従って、上記のような構成の強誘電体メモリによれば、サイクル時間の長時間化やレイアウト面積の増大を招くことなく、メモリセルから読み出されたデータを再書き込みする際のデータの劣化を防ぐことができ、データの読み出しマージンを確保できる。

【0047】

[第2の実施の形態]

図4は、この発明の第2の実施の形態に係る強誘電体メモリについて説明するためのもので、強誘電体メモリの読み出し動作に関係する要部を抽出して示す回路図である。上述した第1の実施の形態では、1ビットのデータを1つのセルトランジスタと1つの強誘電体キャパシタを用いて記憶する 1T1C 構成の強誘電

体メモリに適用したのに対し、本第2の実施の形態は1ビットのデータを2つのトランジスタと2つの強誘電体キャパシタを用いて記憶する、いわゆる2T2C構成の強誘電体メモリに適用したものである。

【0048】

すなわち、ビット線BLには、セルトランジスタCT1と強誘電体キャパシタFC1とを有するメモリセルMC1が接続され、ビット線／BLには、セルトランジスタCT2と強誘電体キャパシタFC2とを有するメモリセルMC2が接続されている。上記セルトランジスタCT1、CT2の電流通路の一端はそれぞれビット線対BL、／BLに接続され、その他端は強誘電体キャパシタFC1、FC2の一方の電極にそれぞれ接続され、各々のゲートはワード線WLに共通接続される。また、上記強誘電体キャパシタFC1、FC2の他方の電極は、プレート線PLに共通接続されている。そして、上記一对のメモリセルMC1、MC2に、相補的なデータが記憶されるようになっている。

【0049】

他の構成は図1と同様であるので、図4において図1と同一構成部分には同じ符号を付してその詳細な説明は省略する。

【0050】

図5は、上記図4に示した回路部の動作波形を示すタイミングチャートである。本実施の形態においては、従来技術（図7）や第1の実施の形態（図1）に示したダミーセルDMC（ダミーワード線DWLや基準電圧源VREF）は不要であり、ビット線対BLと／BLが相補的な電位に設定される。

【0051】

このような構成の場合も、カラム選択ゲートをNMOSトランジスタで構成すると、カラム選択ゲートが活性化した際にビット線対の“L”レベル側の電位が $0V + \Delta V$ となり、“0”データの書き込み電圧すなわちメモリセルキャパシタFCにかかる電圧が理想的な $-V_{AA}$ よりも小さくなってしまう。

【0052】

そこで、本第2の実施の形態も第1の実施の形態と同様に、カラム選択ゲートをPMOSトランジスタQ13、Q14で構成している。これによって、PL＝

“H” レベルの期間においてカラム選択ゲートが活性化した際にビット線 B L または \neg B L の “L” レベル側の電位が上昇するのを避け、強誘電体キャパシタ F C に理想的な信号量のデータを再書き込みすることができる。

【 0 0 5 3 】

[第 3 の実施の形態]

図 6 は、この発明の第 3 の実施の形態に係る強誘電体メモリについて説明するためのもので、強誘電体メモリの要部を抽出して示す回路図である。本実施の形態は複数のメモリセルアレイでカラム選択信号 \neg C S が共有されている例を示している。

【 0 0 5 4 】

すなわち、本実施の形態に示した強誘電体メモリは、上述した第 1，第 2 の実施の形態と同様に、メモリセルアレイ M C A i，M C A j，…が非活性状態になっている時のビット線対 B L， \neg B L のプリチャージ電位は 0 V となっている。一方、データ線対 D Q， \neg D Q のプリチャージ電位も 0 V である。従って、非活性のメモリセルアレイ M C A i，M C A j，…、すなわちビット線対 B L， \neg B L 及びデータ線対 D Q， \neg D Q がともに 0 V にプリチャージされている状態でカラム選択信号 \neg C S が活性化され、ビット線対 B L， \neg B L とデータ線対 D Q， \neg D Q が選択的に接続されても問題ない。この特性を利用して、本実施の形態ではカラム選択線 C S L を複数のメモリセルアレイ M C A i，M C A j，…で共有している。

【 0 0 5 5 】

これによりカラム選択信号 \neg C S の発生回路、すなわちカラムデコード回路を複数のメモリセルアレイ M C A i，M C A j，…で共有できるのでチップ面積を小さくすることができる。

【 0 0 5 6 】

なお、図 6 では、1 ビットのデータを 1 つのセルトランジスタと 1 つの強誘電体キャパシタを用いて記憶する 1 T 1 C 構成の強誘電体メモリを例にとって示したが、2 T 2 C 構成の強誘電体メモリにも適用できるのは勿論である。

【 0 0 5 7 】

また、上記第3の実施の形態では、複数のメモリセルアレイでカラム選択線CSLを共用する場合を例に取って説明したが、メモリセルアレイ中の複数のブロック、あるいは複数のサブアレイにも同様に適用できるのは勿論である。

【0058】

上述したように、この発明の各実施の形態に係る強誘電体メモリによれば、サイクル時間の長時間化やレイアウト面積の増大を招くことなく、メモリセルから読み出されたデータを再書き込みする際のデータの劣化を防ぐことができ、データの読み出しマージンを確保できる。

【0059】

以上第1乃至第3の実施の形態を用いてこの発明の説明を行ったが、この発明は上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0060】

【発明の効果】

以上説明したように、この発明によれば、サイクル時間の長時間化やレイアウト面積の増大を招くことなく、メモリセルから読み出されたデータを再書き込みする際のデータの劣化を防ぐことができ、データの読み出しマージンを確保できる強誘電体メモリが得られる。

【図面の簡単な説明】

【図1】 この発明の第1の実施の形態に係る強誘電体メモリについて説明するためのもので、強誘電体メモリの読み出し動作に関する要部を抽出して示す回路図。

【図2】 図1に示した強誘電体メモリの動作波形を示すタイミングチャート

ト。

【図3】 図1に示した強誘電体メモリにおけるデータ読み出し後の再書き込み動作について説明するためのもので、(a)図はメモリセルへの“0”データの書き込み電圧について説明するための各電位関係を示す回路図、(b)図はメモリセルへの“1”データの書き込み電圧について説明するための各電位関係を示す回路図。

【図4】 この発明の第2の実施の形態に係る強誘電体メモリについて説明するためのもので、強誘電体メモリの読み出し動作に関係する要部を抽出して示す回路図。

【図5】 図4に示した回路部の動作波形を示すタイミングチャート。

【図6】 この発明の第3の実施の形態に係る強誘電体メモリについて説明するためのもので、強誘電体メモリの要部を抽出して示す回路図。

【図7】 従来の強誘電体メモリの読み出し動作に関係する要部を抽出して示す回路図。

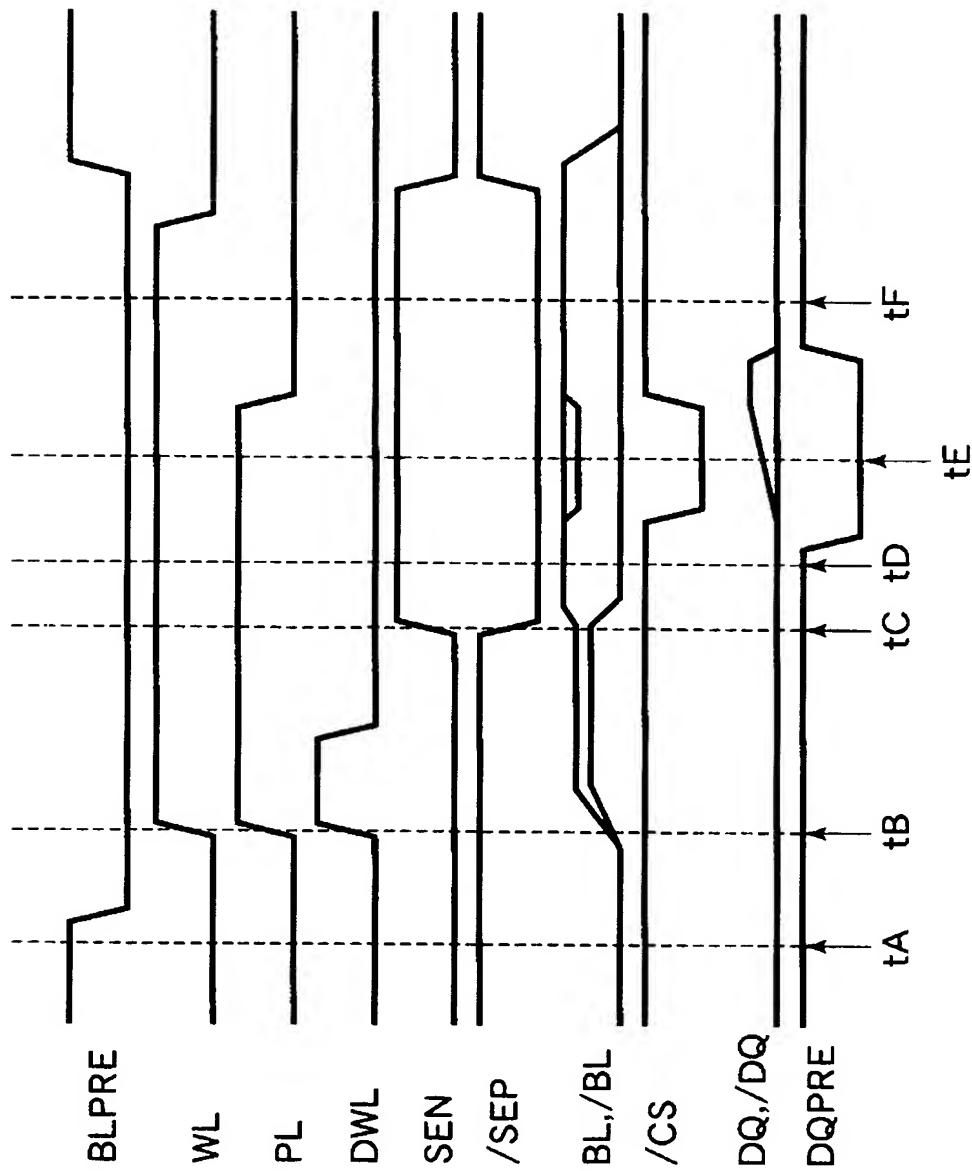
【図8】 図7に示した回路部の動作波形を示すタイミングチャート。

【図9】 従来の強誘電体メモリにおいて、メモリセルへの“0”データの書き込み電圧について説明するための各電位関係を示す回路図。

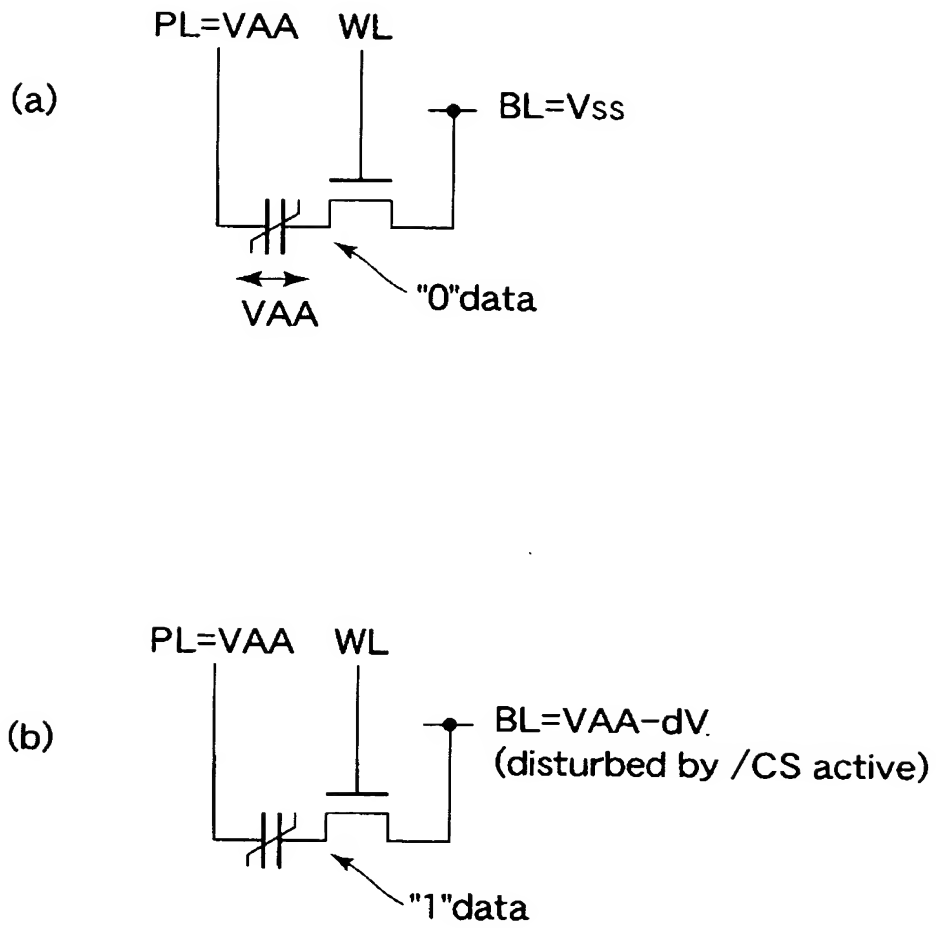
【符号の説明】

MC, MC1, MC2, MCi, MCj…メモリセル、DMC, DMCi, DMCj…ダミーセル、SA, SAi, SAj…センスアンプ、WL…ワード線、DWL…ダミーワード線、BL, /BL…ビット線、PL…プレート線、DQ, /DQ…データ線、VREF…基準電圧源、/CS…カラム選択信号、Q13, Q13i, Q13j…Pチャネル型MOSトランジスタ（第1のカラム選択ゲート）、Q14, Q14i, Q14j…Pチャネル型MOSトランジスタ（第2のカラム選択ゲート）、Q15, Q16…Nチャネル型MOSトランジスタ（Nチャネル型の第1, 第2のMOSトランジスタ）、DCT…Nチャネル型MOSトランジスタ（Nチャネル型の第3のMOSトランジスタ）、BLPRE…ビット線プリチャージ信号、DQPRE…データ線プリチャージ信号、IOC…I/O回路、MCAi, MCAj…メモリセルアレイ。

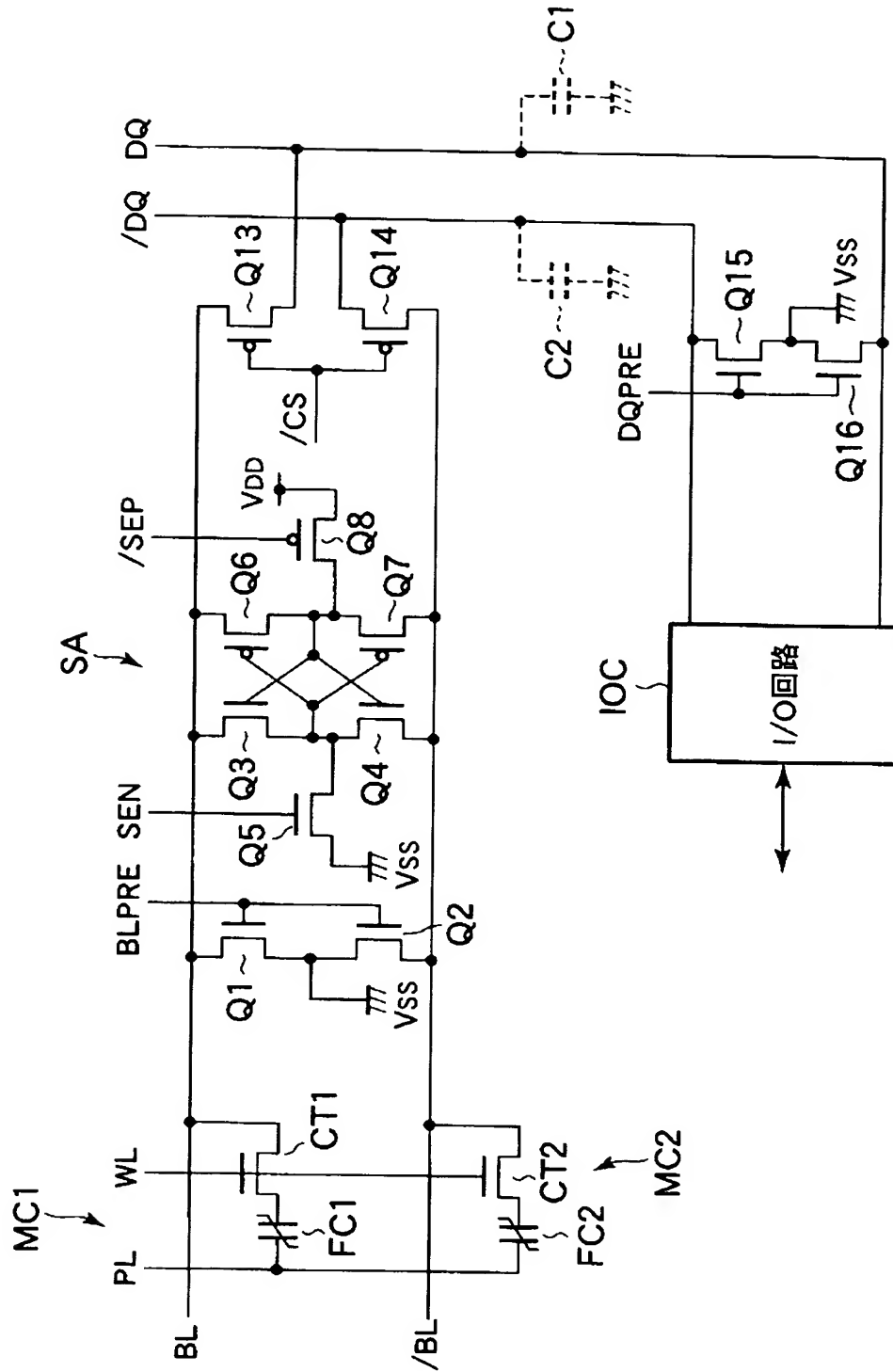
【図 2】



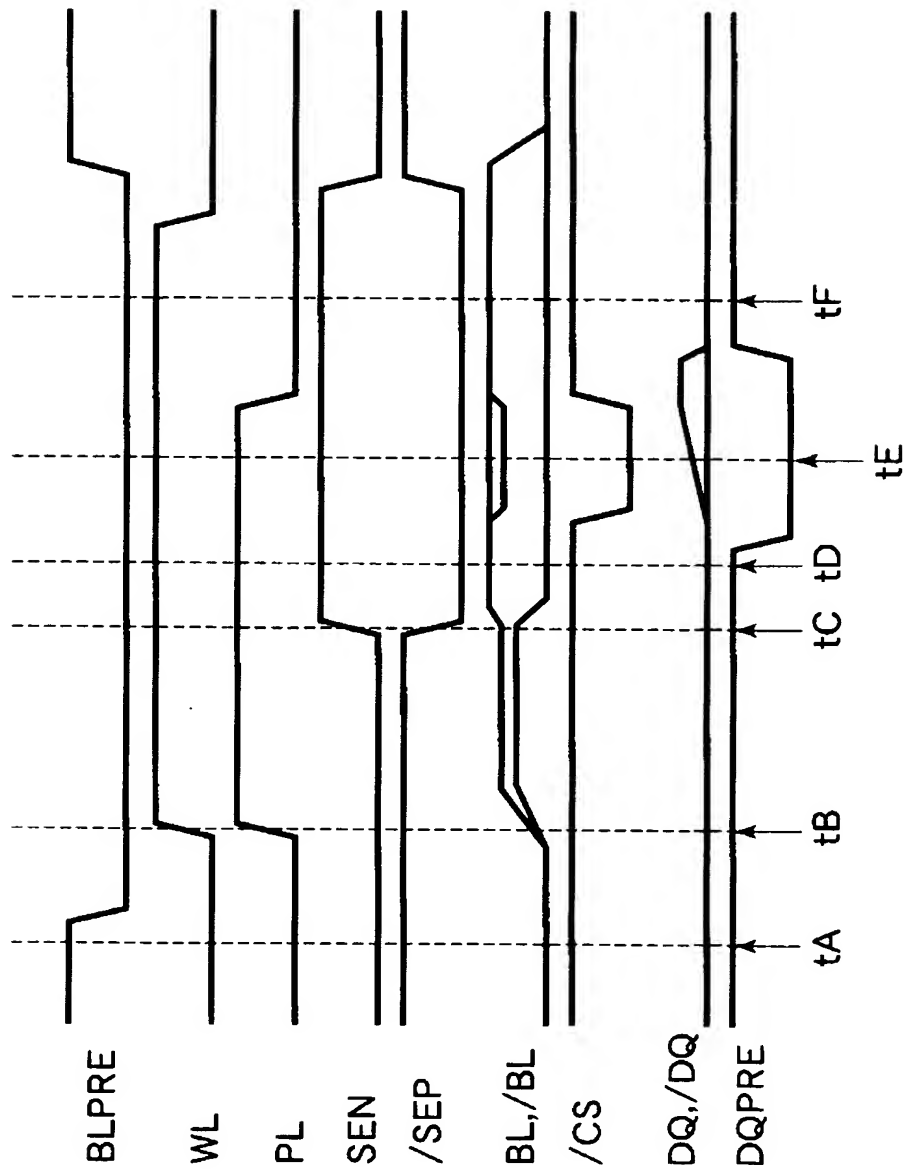
【図 3】



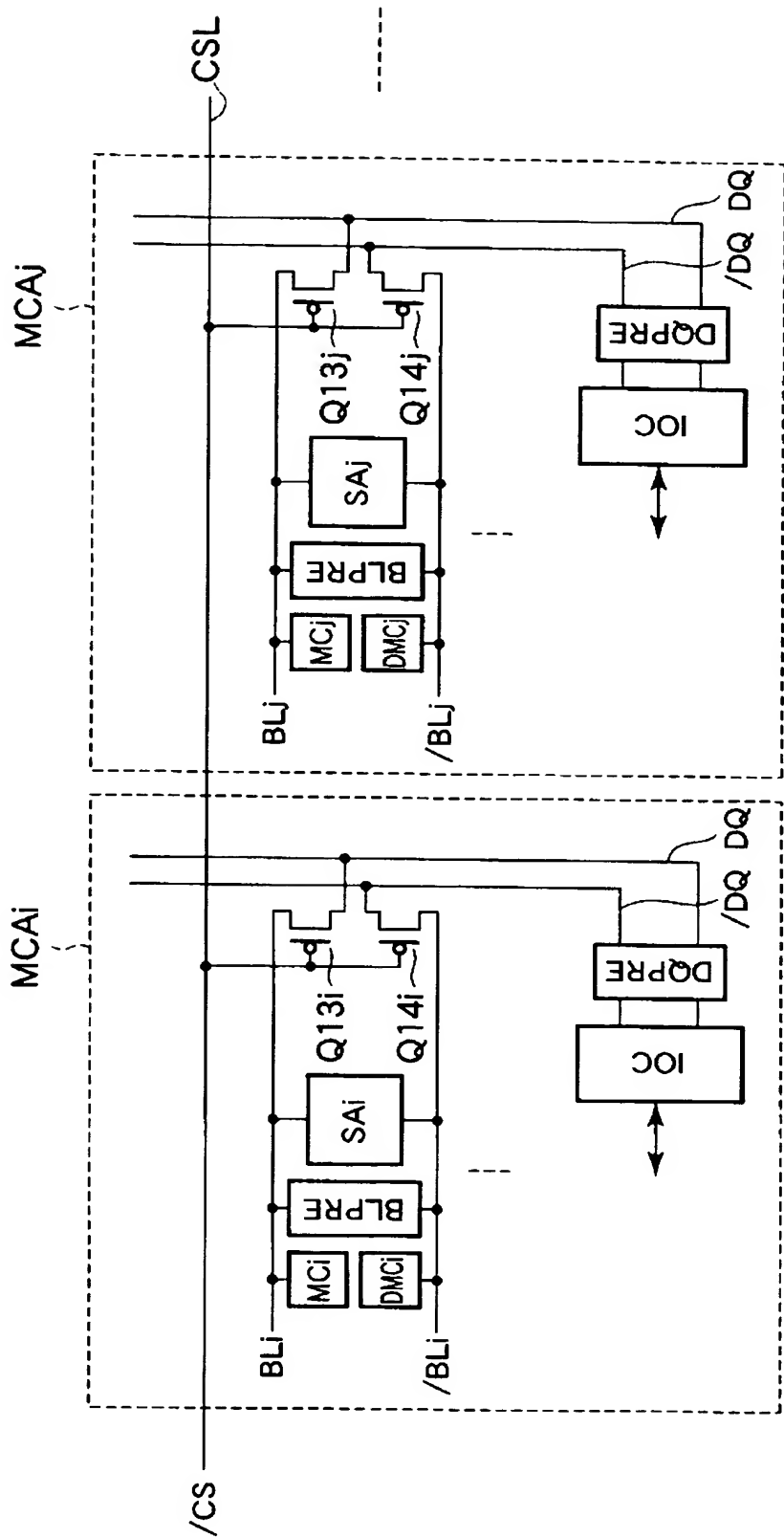
【図 4】



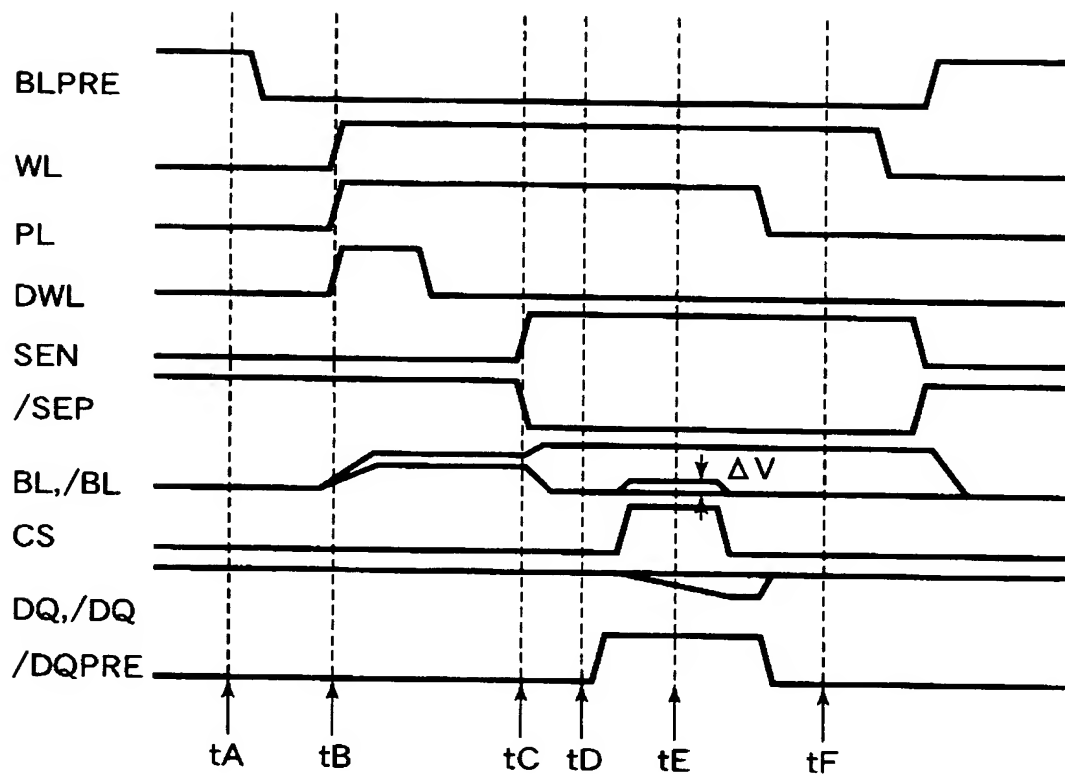
【図 5】



【図 6】

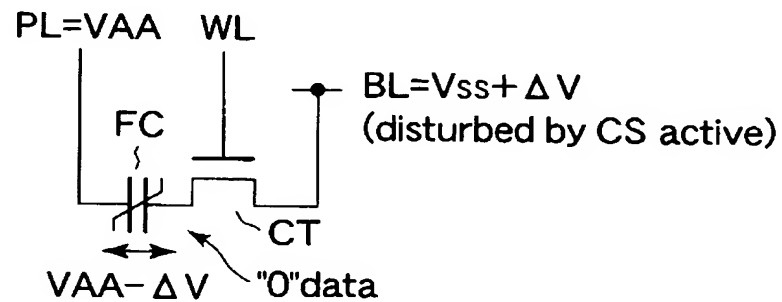


【图 8】



【図 9】

problem on "0" data read





【書類名】 要約書

【要約】

【課題】 サイクル時間の長時間化やレイアウト面積の増大を招くことなく、メモリセルから読み出されたデータを再書き込みする際のデータの劣化を防ぐことができ、読み出しマージンを確保できる強誘電体メモリを提供する。

【解決手段】 強誘電体メモリにおけるカラム選択ゲートを、Pチャネル型MOSトランジスタQ11，Q12のみで構成し、カラム選択信号／CSをロウレベルに設定し、データ線DQを0Vに設定した状態で、メモリセルMCからビット線BLにデータを読み出し、センスアンプSAで増幅して保持した電位を、カラム選択ゲートを介してデータ線に転送することを特徴としている。ビット線からデータ線にデータを転送する際に、ビット線とデータ線がそれぞれ0V付近の電位にあるときにPチャネル型MOSトランジスタが導通しない特性を利用して、不感帯を生成してデータの破壊を防ぐことができる。

【選択図】 図1



特願 2003-114723

出願人履歴情報

識別番号

[000003078]

- | | |
|----------|------------------|
| 1. 変更年月日 | 1990年 8月22日 |
| [変更理由] | 新規登録 |
| 住 所 | 神奈川県川崎市幸区堀川町72番地 |
| 氏 名 | 株式会社東芝 |
| | |
| 2. 変更年月日 | 2001年 7月 2日 |
| [変更理由] | 住所変更 |
| 住 所 | 東京都港区芝浦一丁目1番1号 |
| 氏 名 | 株式会社東芝 |